

Nazwa w języku polskim: Zaawansowane zagadnienia projektowania układów ASIC

Nazwa w jęz. angielskim: Advanced ASIC Design Techniques

**Dane dotyczące zajęć:
Information on course:**

Jednostka oferująca: Wydział Automatyki, Elektroniki i Informatyki // dr hab. inż. Andrzej Pułka, Prof. PŚ
Course offered by: Faculty of Automatic Control, Electronics and Computer Science // Andrzej Pułka, PhD, DSc, University professor

Język wykładowy:
polski
Language:
Polis
Strona WWW: Course homepage:
Skrócony opis:
Celem przedmiotu jest zapoznanie studentów z zaawansowanymi zagadnieniami związanymi z projektowaniem współczesnych cyfrowych scalonych układów elektronicznych z wykorzystaniem nowoczesnych narzędzi projektowych i najnowszych osiągnięć technologicznych. Studenci powinni opanować metodologię projektowania od procesu tworzenia specyfikacji wejściowej, poprzez symulację, analizę wyników i modyfikację, przeprowadzenie procesu weryfikacji i wygenerowanie plików wyjściowych (ang. tape-out) służących do wytworzenia gotowego produktu.
Short description:
The aim of the course is to acquainted students with advanced issues related to the design of modern digital integrated electronic circuits using modern design tools and the latest technological achievements. Students should master the design methodology from the process of creating input specifications, through simulation, analysis of results and modification, conducting the verification process, and generating output files (tape-out) used to manufacture the finished product.
Opis:
Treści programowe Wykład 1. Wstęp: diagram Gajskiego-Kuhn'a, omówienie platform sprzętowych, podział układów VLSI, układy programowalne, układy ASIC full-custom, 2. Metodologie projektowe: główne etapy projektowania logicznych układów programowalnych, podstawowe etapy projektowania układów specjalizowanych scalonych typu ASIC, porównanie przetwarzania synchronicznego i asynchronicznego, omówienie problemów związanych z projektowaniem drzewa sygnału zegarowego CTS. 3. Projektowanie systemów ze zróżnicowanym sygnałem zegarowym – cz.1: algorytmy budowania drzewa sygnału zegarowego, parametry i zjawiska ograniczające częstotliwość pracy układu, bramkowanie sygnału zegarowego, projektowanie systemów z wieloma domenami zegarowymi. 4. Projektowanie systemów ze zróżnicowanym sygnałem zegarowym – cz.2: przechodzenie sygnałów między różnymi domenami zegarowymi (CRC), zjawisko metastabilności, metody synchronizacji ścieżki sterowania, metody synchronizacji ścieżki danych. 5. Projektowanie systemów ze zróżnicowanym sygnałem zegarowym – cz.3: potrzeba weryfikacji CDC, statyczna weryfikacja CDC, dynamiczna weryfikacja CDC, wstrzykiwanie metastabilności, techniki zerowania układu cyfrowego, przechodzenie sygnałów między różnymi domenami zerowania (RDC). metody rozwiązywania problemów związanych z RDC. 6. Rozprowadzenia sieci zasilania w układach scalonych: omówienie środowiska programu Synopsys SpyGlass, projektowania sieci zasilania w układzie scalonym, wiele domen zasilających, bramkowanie zasilania, komórki załączające, implementacja bramkowania zasilania, komórki separujące, rejestry retencyjne, konwertery poziomów zasilania. 7. Technologie realizacji pamięci półprzewodnikowych: podział pamięci półprzewodnikowych, pamięci dynamiczne RAM, odświeżanie pamięci DRAM, pamięci o wysokiej przepustowości (HBM), pamięci statyczne RAM, pamięci nieulotne ROM, porównanie parametrów różnych pamięci, pamięci w budowane. 8. Analiza wyników implementacji układu na chipie: wyjaśnienie znaczenia PVT, analiza wydajności układu

oraz analiza czasowa, analiza poboru mocy, analiza powierzchni krzemu, inne zagadnienia.

9. Metody szacowania powierzchni układu scalonego: główne czynniki wpływające na powierzchnię układu scalonego, sposoby szacowania pola powierzchni krzemu, porównanie metod określania zajętości krzemu dla układów FPGA i ASIC.techniki projektowania pozwalające optymalizować pole powierzchni układów ASIC.

10. Metody szacowania mocy rozpraszanych w układach scalonych: podział mocy pobieranej przez układ ASIC, moce statyczne, moce dynamiczne, fazy projektowania pozwalające ograniczają pobór mocy układu scalonego, metody ograniczania poboru mocy w układzie scalonym.

11. Analiza wydajności systemów cyfrowych: czynniki wpływające na wydajność układu scalonego, dokładne omówienie statycznej analizy czasowej, techniki optymalizacji wydajności układu scalonego.

12. Tranzystory CMOS: podział, zasada działania, charakterystyki, parametry, zastosowanie.

13. Produkcja scalonych układów półprzewodnikowych: process Czochralskiego, topienie strefowe, podstawowe etapy procesu technologicznego produkcji układów scalonych, tranzystory TFT.

14. Layout układów scalonych: nomenklatura, procedura weryfikacji reguł projektowych (DRC), procedura weryfikacji strukturalnej LVS, ekstrakcja parametrów pasożytniczych.

15. Parametry elektryczne układów ASIC: obudowa układu scalonego - podział, własności, projektowanie mieszanych układów analogowo-cyfrowych, zagadnienia elektryczne w układach mieszanych.

Wykład

- **stacjonarne: 30 h**

Liczba punktów ECTS: 2

Description:

Lecture

1. Introduction: Gajski-Kuhn diagram, overview of hardware platforms, classification of VLSI circuits, programmable circuits, full-custom ASIC circuits,

2. Design methodologies: main stages of designing programmable logic circuits, basic stages of designing ASIC specialized integrated circuits, comparison of synchronous and asynchronous processing, discussion of issues related to designing a CTS clock signal tree.

3. Designing systems with differentiated clock signals – part 1: algorithms for building clock signal trees, parameters and phenomena limiting the operating frequency of the circuit, clock signal gating, designing systems with multiple clock domains.

4. Designing systems with differentiated clock signals – part 2: signal transition between different clock domains (CRC), the phenomenon of metastability, control path synchronization methods, data path synchronization methods.

5. Designing systems with different clock signals – part 3: the need for CDC verification, static CDC verification, dynamic CDC verification, metastability injection, digital circuit reset techniques, signal transition between different reset domains (RDC). Methods for solving problems related to RDC.

6. Power distribution in integrated circuits: overview of the Synopsys SpyGlass environment, power distribution design in integrated circuits, multiple power domains, power gating, switch cells, power gating implementation, isolation cells, retention registers, power level converters.

7. Semiconductor memory implementation technologies: classification of semiconductor memories, dynamic RAM, DRAM refresh, high-bandwidth memory (HBM), static RAM, non-volatile ROM, comparison of memory parameters, embedded memories.

8. Analysis of chip implementation results: explanation of the meaning of PVT, chip performance analysis and timing analysis, power consumption analysis, silicon area analysis, other issues.

9. Methods for estimating integrated circuit area: main factors affecting integrated circuit area, methods for estimating silicon area, comparison of methods for determining silicon occupancy for FPGA and ASIC circuits, design techniques for optimizing ASIC circuit area.

10. Methods for estimating power dissipation in integrated circuits: distribution of power consumed by ASICs, static power, dynamic power, design phases that reduce power consumption in integrated circuits, methods for reducing power consumption in integrated circuits.

11. Analysis of digital system performance: factors affecting integrated circuit performance, detailed discussion of static timing analysis, techniques for optimizing integrated circuit performance.

12. CMOS transistors: classification, operating principle, characteristics, parameters, applications.

13. Production of semiconductor integrated circuits: Czochralski process, zone melting, basic stages of the integrated circuit production process, TFT transistors.

14. Integrated circuit layout: nomenclature, design rule checking (DRC) procedure, LVS structural verification procedure, extraction of parasitic parameters.

15. Electrical parameters of ASICs: integrated circuit housing - classification, properties, design of mixed analog-digital circuits, electrical issues in mixed circuits.

Lecture:

- full-time studies: 30 h

Number of ECTS credits: 2**Literatura:**

1. V. Taraate, ASIC Design and Synthesis, Springer 2021
2. Gajski D. D., Abdi S., Gerstlauer A., Schirner G.: Embedded System Design: Modeling, Synthesis, Verification, Springer, July 2009.
3. Mano M.M., Kime C.R.: Podstawy projektowania układów logicznych i komputerów. Wydawnictwo Naukowo-Techniczne, Warszawa 2007.
4. Spears C.: SystemVerilog for Verification: A Guide to Learning the Testbench Language Features. Springer, 2nd edition, New York June 2007.
5. Ashenden P.J.: Digital Design – An Embedded Systems Approach Using VERILOG. Morgan Kaufman Publishers, San Francisco 2008.

System Verilog: <http://www.systemverilog.org/>

Interaktywne kursy:

- <http://www.asic-world.com/>
- <http://www.doulos.com/knowhow/>

Inne źródła internetowe, polecane strony i blogi:

- <https://anysilicon.com>
- <https://www.edn.com>
- <https://synopsys.com>
- <https://cadence.com>
- <https://semiengineering.com>

Bibliography:

1. V. Taraate, ASIC Design and Synthesis, Springer 2021
2. Gajski D. D., Abdi S., Gerstlauer A., Schirner G.: Embedded System Design: Modeling, Synthesis, Verification, Springer, July 2009.
3. Mano M.M., Kime C.R.: Podstawy projektowania układów logicznych i komputerów. Wydawnictwo Naukowo-Techniczne, Warszawa 2007.
4. Spears C.: SystemVerilog for Verification: A Guide to Learning the Testbench Language Features. Springer, 2nd edition, New York June 2007.
5. Ashenden P.J.: Digital Design – An Embedded Systems Approach Using VERILOG. Morgan Kaufman Publishers, San Francisco 2008.

System Verilog: <http://www.systemverilog.org/>

Interaktywne kursy:

- <http://www.asic-world.com/>
- <http://www.doulos.com/knowhow/>

Inne źródła internetowe, polecane strony i blogi:

- <https://anysilicon.com>
- <https://www.edn.com>
- <https://synopsys.com>
- <https://cadence.com>
- <https://semiengineering.com>

Efekty uczenia się:

Wiedza: zna i rozumie podstawowe problemy współczesnej cywilizacji w odniesieniu do osiągnięć nauki i Techniki.

Umiejętności: potrafi samodzielnie planować i realizować własne uczenie się przez całe życie.

Kompetencje społeczne: jest gotów do krytycznej oceny posiadanej wiedzy i odbieranych treści, uznawania znaczenia wiedzy w rozwiązywaniu problemów poznawczych i praktycznych oraz zasięgnięcia opinii ekspertów w przypadku trudności z samodzielnym rozwiązaniem problemu.

Learning outcomes:

Knowledge: knows and understands the basic problems of modern civilization in relation to the achievements of science and technology

Skills: is able to independently plan and implement his own lifelong learning

Social competence: is ready to critically evaluate the knowledge he possesses and the content he receives, to recognize the importance of knowledge in solving cognitive and practical problems, and to consult experts in case of difficulties in solving the problem independently.

Metody i kryteria oceniania:

Wykład

Zaliczenie w formie:

- kontaktowo
- test;
- dyskusja na wykładzie

Kryterium zaliczenia: oceniana jest aktywność na wykładzie i indywidualne zaangażowanie studenta

Assessment methods and assessment criteria:

Lecture

Passing the course in the form of:

Contact meetings, test and discussion during the lecture

Criterion for passing the course: individual activity of the student during the lectures is assessed

**Dodatkowe informacje
Element of course groups in various terms:**

Opis zajęć Course group description	
zajęcia z bazy UBZO studia stacjonarne stopień studiów – dowolny kierunek studiów – dowolny, semestr dowolny elective courses full-time degree - any field of study - any semester - any	
cykl	2026/2027