

KARTA MIKROWARSZTATU

Nazwa mikrowarsztatu: Projektowanie układów cyfrowych w języku Verilog

Nazwa Wydziału: Automatyki, Elektroniki i Informatyki

Prowadzący: Robert Czerwiński (rczerwinski@polsl.pl)

Skrócony opis mikrowarsztatu (treści kształcenia):

Celem mikrowarsztatu jest przedstawianie słuchaczom współczesnej metody projektowania cyfrowych układów scalonych. Zajęcia skupiają się na problemach początkowych/podstawowych. Omawiany jest proces projektowania oraz podstawy języka Verilog. W trakcie zajęć laboratoryjnych słuchacze realizują ćwiczenia z samego języka, ale przy tym omawiane są problemy związane z implementacją i właściwymi technikami projektowania. W trakcie zajęć opracowane moduły są implementowane w układach FPGA, które są również omawiane.

Opis mikrowarsztatu:

Wykład/Ćwiczenia/Laboratorium/Projekt:

1. Proces projektowania układu cyfrowego, cechy języków opisu sprzętu, metodyka projektowania układów z uwzględnieniem cech technologicznych (3h)
2. Praktyczna prezentacja metod projektowania z wykorzystaniem narzędzi AMD/Xilinx Vivado oraz prezentacja układów FPGA (2h)

Laboratorium:

1. Omówienie syntezywalnych części języka Verilog (2h)
2. Podstawowe formy opisu na przykładzie bloków kombinacyjnych (multiplexer/dekoder/komparator) (3h).
3. Podstawowe bloki i problemy modelowania układów sekwencyjnych (liczniki/rejestry/automaty) (5h)
4. Mikroprojekt układu złożonego (15h; praca własna studenta z nadzorem prowadzącego)

Liczba godzin zajęć z bezpośrednim udziałem prowadzącego i studentów:

15

Liczba godzin przeznaczonych na pracę własną studenta:

15

Całkowita liczba godzin:

30

Liczba punktów ECTS:

1

Forma zaliczenia:

*Sprawozdanie z
mikroprojektu (kod
źródłowy)*

Literatura:

1. Palnitkar S., Verilog HDL. A Guide to Digital Design and Synthesis, Prentice Hall, 2003
2. Lee W.F., Verilog Coding for Logic Synthesis, John Wiley & Sons Inc., 2003
3. Lee J.M., Verilog Quickstart: A Practical Guide to Simulation and Synthesis in Verilog, Kluwer Academic Publishers, 2002
4. Bhasker J., Verilog HDL Synthesis. A practical Primer, Star Galaxy Publishing, 1998
5. Doulos, The Verilog Golden Reference Guide, Doulos, 1996

Efekty uczenia się

Wiedza

Student zna i rozumie:

1. W zaawansowanym stopniu współczesną metodykę projektowania dedykowanych układów cyfrowych (w tym mikroprocesorów); zna podstawy języków opisu sprzętu i rozumie jak opis układu wpływa na projektowanych układ scalony po jego implementacji. (P6S_WG)

Umiejętności

Student potrafi:

1. wykorzystywać posiadaną wiedzę – formułować i rozwiązywać złożone i nietypowe problemy w projektowaniu układów



scalonych z wykorzystaniem języka opisu sprzętu Verilog; potrafi dokonać, krytycznej analizy i syntezy tych informacji; potrafi dobrać właściwe metody i narzędzia. (P6S_UW)

Kompetencje społeczne

Student jest gotów do:

3. Krytycznej oceny posiadanej wiedzy i odbieranych treści; uznawania znaczenia wiedzy w rozwiązywaniu problemów poznawczych i praktycznych oraz zasięgania opinii ekspertów w przypadku trudności z samodzielnym rozwiązaniem problemu. (P6S_KK)

Metody i kryteria oceniania:

W trakcie zajęć realizowany jest mikroprojekt, który jest oceniany. Ocenie podlega jakość opisu (poprawny sposób wykorzystania języka) oraz funkcjonalność opracowanego modułu.