

KARTA PRZEDMIOTU

Nazwa przedmiotu: Zaawansowane zagadnienia projektowania układów ASIC (MSCKAu-PSC>SM23ZZU22)

Nazwa w języku polskim:

Nazwa w jęz. angielskim: Advanced ASIC Design

Dane dotyczące przedmiotu:

Jednostka oferująca przedmiot: Wydział Automatyki, Elektroniki i Informatyki

Przedmiot dla jednostki: Politechnika Śląska

Domyślny typ protokołu dla przedmiotu:

ZAL

Język wykładowy:

polski

Strona WWW:

<https://platforma.polsl.pl/rau3/course/view.php?id=80240>

Skrócony opis:

Celem przedmiotu jest zapoznanie studentów z zaawansowanymi zagadnieniami związanymi z projektowaniem współczesnych cyfrowych scalonych układów elektronicznych z wykorzystaniem nowoczesnych narzędzi projektowych i najnowszych osiągnięć technologicznych. Studenci powinni opanować metodologię projektowania od procesu tworzenia specyfikacji wejściowej, poprzez symulację, analizę wyników i modyfikację, przeprowadzenie procesu weryfikacji i wygenerowanie plików wyjściowych (ang. tape-out) służących do wytworzenia gotowego produktu.

Opis:

Liczba punktów ECTS: 4

Przedmiot podzielony jest na:

30 godzin wykładowych,

45 godzin laboratorium oraz

15 godzin projektowych.

Całkowita liczba godzin pracy wynosi 120, przy czym:

Liczba godzin kontaktowych wynosi 90,

a liczba godzin pracy samodzielnej studenta wynosi 30.

Zawartość merytoryczna wykładu:

1. Wstęp: diagram Gajskiego-Kuhn'a, omówienie platform sprzętowych, podział układów VLSI, układy programowalne, układy ASIC full-custom,
2. Metodologie projektowe: główne etapy projektowania logicznych układów programowalnych, podstawowe etapy projektowania układów specjalizowanych scalonych typu ASIC, porównanie przetwarzania synchronicznego i asynchronicznego, omówienie problemów związanych z projektowaniem drzewa sygnału zegarowego CTS.
3. Projektowanie systemów ze zróżnicowanym sygnałem zegarowym – cz.1: algorytmy budowania drzewa sygnału zegarowego, parametry i zjawiska ograniczające częstotliwość pracy układu, bramkowanie sygnału zegarowego, projektowanie systemów z wieloma domenami zegarowymi.
4. Projektowanie systemów ze zróżnicowanym sygnałem zegarowym – cz.2: przechodzenie sygnałów między różnymi domenami zegarowymi (CRC), zjawisko metastabilności, metody synchronizacji ścieżki sterowania, metody synchronizacji ścieżki danych.
5. Projektowanie systemów ze zróżnicowanym sygnałem zegarowym – cz.3: potrzeba weryfikacji CDC, statyczna weryfikacja CDC, dynamiczna weryfikacja CDC, wstrzykiwanie metastabilności, techniki zerowania układu cyfrowego, przechodzenie sygnałów między różnymi domenami zerowania (RDC). metody rozwiązywania problemów związanych z RDC.
6. Rozprowadzenia sieci zasilania w układach scalonych: omówienie środowiska programu Synopsys SpyGlass, projektowania sieci zasilania w układzie scalonym, wiele domen zasilających, bramkowanie zasilania, komórki załączające, implementacja bramkowania zasilania, komórki separujące, rejestry retencyjne, konwertery poziomów zasilania.
7. Technologie realizacji pamięci półprzewodnikowych: podział pamięci półprzewodnikowych, pamięci dynamiczne RAM, odświeżanie pamięci DRAM, pamięci o wysokiej przepustowości (HBM), pamięci statyczne RAM, pamięci nieulotne ROM, porównanie parametrów różnych pamięci, pamięci w budowane.
8. Analiza wyników implementacji układu na chipie: wyjaśnienie znaczenia PVT, analiza wydajności układu oraz analiza czasowa, analiza poboru mocy, analiza powierzchni krzemu, inne zagadnienia.
9. Metody szacowania powierzchni układu scalonego: główne czynniki wpływające na powierzchnię układu scalonego, sposoby szacowania pola powierzchni krzemu, porównanie metod określania zajętości krzemu dla układów FPGA i ASIC.techniki projektowania pozwalające optymalizować pole powierzchni układów ASIC.
10. Metody szacowania mocy rozpraszanych w układach scalonych: podział mocy pobieranej przez układ ASIC, moce statyczne, moce dynamiczne, fazy projektowania pozwalające ograniczają pobór mocy układu scalonego, metody ograniczania poboru mocy w układzie scalonym.
11. Analiza wydajności systemów cyfrowych: czynniki wpływające na wydajność układu scalonego, dokładne omówienie statycznej analizy czasowej, techniki optymalizacji wydajności układu scalonego.
12. Tranzystory CMOS: podział, zasada działania, charakterystyki, parametry, zastosowanie.
13. Produkcja scalonych układów półprzewodnikowych: process Czochralskiego, topienie strefowe, podstawowe etapy procesu technologicznego produkcji układów scalonych, tranzystory TFT.
14. Layout układów scalonych: nomenklatura, procedura weryfikacji reguł projektowych (DRC), procedura weryfikacji strukturalnej LVS, ekstrakcja parametrów pasożytniczych.
15. Parametry elektryczne układów ASIC: obudowa układu scalonego - podział, własności, projektowanie mieszanych układów analogowo-cyfrowych, zagadnienia elektryczne w układach mieszanych.

Zawartość merytoryczna ćwiczeń laboratoryjnych oraz zadań projektowych

1. SPYGLASS LINT - Analiza składniowa projektu oraz praktyczne zapoznanie się z zasadami poprawnego tworzenia opisu projektu w języku HDL.

2. SYNOPSIS VCS - symulacja złożonego projektu w trybie tekstowym i graficznym, analiza popkrycia funkcyjnego, tworzenie własnego projektu.

3-5. Pełna analiza ścieżki projektowej od specyfikacji, poprzez syntezę i implementację na przykładzie programu FUSION COMPILER.
6. CDC i RDC - przykład tworzenia projektów z wieloma domenami zegarowymi oraz wieloma domenami zerowania. Weryfikacja i korekta błędów projektowych.

Literatura:

1. V. Tarate, ASIC Design and Synthesis, Springer 2021
2. Gajski D. D., Abdi S., Gerstlauer A., Schirner G.: Embedded System Design: Modeling, Synthesis, Verification, Springer, July 2009.
3. Mano M.M., Kime C.R.: Podstawy projektowania układów logicznych i komputerów. Wydawnictwo Naukowo-Techniczne, Warszawa 2007.
4. Spears C.: SystemVerilog for Verification: A Guide to Learning the Testbench Language Features. Springer, 2nd edition, New York June 2007.
5. Ashenden P.J.: Digital Design – An Embedded Systems Approach Using VERILOG. Morgan Kaufman Publishers, San Francisco 2008.

System Verilog: <http://www.systemverilog.org/>

Interaktywne kursy:

- <http://www.asic-world.com/>
- <http://www.doulos.com/knowhow/>

Inne źródła internetowe, polecane strony i blogi:

- <https://anysilicon.com>
- <https://www.edn.com>
- <https://synopsys.com>
- <https://cadence.com>
- <https://semiengineering.com>

Efekty uczenia się:

Student ma wiedzę o kierunkach rozwoju i perspektywach przemysłu układów scalonych - K2A_W06;

Student potrafi opracować model testowy i przeprowadzić symulację projektu układu scalonego - K2A_U02, K2A_U03;

Student potrafi zaprojektować układ zgodny z podaną specyfikacją projektową i narzuconymi ograniczeniami projektowymi - K2A_U04, K2A_U05, K2A_U06;

Student potrafi samodzielnie rozwiązywać problemy projektowe i poszukiwać najlepszego ich rozwiązania - K2A_U09.

Metody i kryteria oceniania:

Studenci wykonują ćwiczenia laboratoryjne i sporządzają samodzielnie sprawozdania. Częścią składową ćwiczeń laboratoryjnych są dodatkowe zadania projektowe, które studenci realizują indywidualnie.

Każde sprawozdanie jest oceniane w skali od 3,0 do 5,0.

Ocena końcowa jest średnią arytmetyczną wszystkich ocen ze sprawozdań.

Sylabus obowiązuje od semestru letniego / roku akademickiego 2024/25, a jego zawartość nie podlega zmianom w trakcie trwania semestru.

Punkty przedmiotu w cyklach:

<bez przypisanego programu>

Typ punktów	Liczba	Cykl pocz.	Cykl kon.
Europejski System Transferu Punktów (ECTS)	4	2023/2024-L	