

KARTA PRZEDMIOTU

Nazwa przedmiotu: Projektowanie i weryfikacja układów cyfrowych (MSCKAu>SM21PWUC22)

Nazwa w języku polskim:

Nazwa w jęz. angielskim: Digital circuit design and verification

Dane dotyczące przedmiotu:

Jednostka oferująca przedmiot: Wydział Automatyki, Elektroniki i Informatyki

Przedmiot dla jednostki: Politechnika Śląska

Domyślny typ protokołu dla przedmiotu:

ZAL

Język wykładowy:

polski

Strona WWW:

<https://platforma.polsl.pl/rau3/course/view.php?id=588>

Skrócony opis:

Celem przedmiotu jest wprowadzenie do tematyki projektowania i weryfikacji dedykowanych układów cyfrowych. Wybrane zagadnienia o charakterze podstawowym są omawiane dogłębnie. Rozszerzeniem wykładu jest wprowadzenie do zagadnień związanych z przyszłymi przedmiotami, żeby umożliwić studentom wybór specjalności i przedmiotów wariantowych.

Zajęcia kontaktowe.

Wymagania wstępne: podstawowa znajomość techniki cyfrowej..

Opis:

Liczba ECTS: 2

Suma wszystkich godzin: 50h (kontaktowo 30h / praca własna 20h)

W. 30h

Praca własna studenta: przygotowanie mikroarchitektury projektu zaliczeniowego.

Zakres materiału:

- omówienie planu/programu studiów
- dokładne przedstawienie metodyki projektowania układów cyfrowych
- wprowadzenie do symulacji
- wprowadzenie do weryfikacji (funkcjonalnej i elementów formalnej)
- charakterystyka układów FPGA i ASIC
- wybrane elementy syntezy logicznej i odwzorowania technologicznego
- własności fizyczne układów
- wstęp do syntezy wysokozimowej, TLM oraz UVM.

Literatura:

Stuart Sutherland: RTL Modeling with SystemVerilog for Simulation and Synthesis: Using SystemVerilog for ASIC and FPGA Design, CreateSpace Independent Publishing Platform, 2017

Spears C.: SystemVerilog for Verification: A Guide to Learning the Testbench Language Features. Springer, 2nd edition, New York, 2007

Bergeron, J., Cerny, E., Hunter, A., Nightingale, A., Verification Methodology Manual for SystemVerilog. Springer, 2006

Lam W.K., Hardware Design Verification: Simulation and Formal Method-Based Approaches. Prentice Hall PTR, 2005

Bergeron J., Writing Testbenches, Functional Verification of HDL Models. Springer, 2003

Lee J.M., Verilog Quickstart: A Practical Guide to Simulation and Synthesis in Verilog. Kluwer Academic Publishers, 2002

Efekty uczenia się:

zna i rozumie charakter języków opisu sprzętu oraz metody sprzętowej implementacji algorytmów; K2A_W01

student zna i rozumie metody projektowania dedykowanych układów cyfrowych; K2A_W02

zna i rozumie metodykę projektowania układów cyfrowych z uwzględnieniem metod weryfikacji funkcjonalnej (również symulacji logicznej); K2A_W05

student potrafi przeanalizować specyfikację oraz zaprojektować na jej podstawie dedykowanych układ cyfrowy; potrafi

zrealizować testbench i przeprowadzić weryfikację funkcjonalną; K2A_U05

student potrafi dobrać narzędzia inżynierskie do procesu projektowania i weryfikacji układów cyfrowych; K2A_U08

Metody i kryteria oceniania:

Warunkiem zaliczenia przedmiotu jest opracowanie mikroarchitektury wybranego projektu oraz przedstawienie zarysu weryfikacji.

Sylabus obowiązuje od roku akademickiego 2023/24, a jego zawartość nie podlega zmianom w trakcie trwania semestru akademickiego.

Punkty przedmiotu w cyklach:

<bez przypisanego programu>			
Typ punktów	Liczba	Cykl pocz.	Cykl kon.
Europejski System Transferu Punktów (ECTS)	2	2022/2023-L	