

KARTA PRZEDMIOTU

Nazwa przedmiotu: Języki opisu sprzętu (MSCKAu>SM21JOS22)

Nazwa w języku polskim:

Nazwa w jęz. angielskim: Hardware Description Languages

Dane dotyczące przedmiotu:

Jednostka oferująca przedmiot: Wydział Automatyki, Elektroniki i Informatyki

Przedmiot dla jednostki: Politechnika Śląska

Domyślny typ protokołu dla przedmiotu:

ZAL

Strona WWW:

<https://platforma.polsl.pl/rau3/course/view.php?id=589>

Skrócony opis:

Celem przedmiotu jest nauka języka Verilog HDL. Szczególny nacisk jest położony na elementy syntezy języka. Podstawy języka obejmujące symulacje liniowe są również omawiane.

Zajęcia są kontaktowe.

Wymagania wstępne: podstawy techniki cyfrowej.

Opis:

Liczba ECTS: 4

Suma wszystkich godzin: 120h (kontaktowo 60h / praca własna 60h)

W. 30

L. 30

Praca własna studenta: przygotowanie do zajęć, przygotowanie mikroarchitektury projektu, przygotowanie sprawozdań.

Wykład

- omówienie syntezywalnych elementów języka
- omówienie wybranych elementów języka umożliwiających budowanie testbenchów liniowych
- funkcje i taski
- realizacja przykładowego projektu (na bazie modułu VGA)
- modelowanie układów cyfrowych w języku Verilog:
 - układu kombinacyjnego,
 - układów sekwencyjnych
 - techniki zerowania
 - dekompozycja projektu oraz potok
 - sieć zegarowa i przejścia międzydomenowe
- omówienie problemów:
 - pętle kombinacyjne i generatory
 - zjawisko SKEW i metastabilność

Laboratorium

- zapoznanie się z narzędziami do symulacji, syntezy i implementacji
- syntezywalne modele układów kombinacyjnych i symulacja logiczna:
 - translatory
 - multipleksery
 - dekodery
 - demultipleksery
 - układy arytmetyczne.
- syntezywalne modele prostych układów sekwencyjnych:
 - przerzutniki asynchroniczne
 - układy z mechanizmem synchronizacji typu zatrzaśk
 - układy wyzwalane zboczem.
- syntezywalne modele układów sekwencyjnych oraz symulacja:
 - liczniki
 - rejestry
 - automaty sekwencyjne
- tworzenie złożonych modeli hierarchicznych
- projekt złożonego układu cyfrowego

Literatura:

Palnitkar S., Verilog HDL. A Guide to Digital Design and Synthesis, Prentice Hall, 2003

Lee W.F., Verilog Coding for Logic Synthesis, John Wiley & Sons Inc., 2003

Lee J.M., Verilog Quickstart: A Practical Guide to Simulation and Synthesis in Verilog, Kluwer Academic Publishers, 2002

Bhasker J., Verilog HDL Synthesis. A practical Primer, Star Galaxy Publishing, 1998

Doulos, The Verilog Golden Reference Guide, Doulos, 1996

Efekty uczenia się:

zna języki opisu sprzętu oraz metody sprzętowej implementacji algorytmów; K2A_W01

student zna i rozumie metody projektowania dedykowanych układów cyfrowych; zna narzędzia wspomagające projektowanie oraz weryfikację; K2A_W02

zna i rozumie metody projektowania układów cyfrowych z uwzględnieniem metod weryfikacji funkcjonalnej; K2A_W05

student potrafi przeanalizować specyfikację oraz zaprojektować na jej podstawie dedykowany układ cyfrowy; potrafi zrealizować

testbench i przeprowadzić weryfikację funkcjonalną; ; K2A_U05

student potrafi dobrać narzędzia inżynierskie do procesu projektowania i weryfikacji układów cyfrowych: K2A_U08

Metody i kryteria oceniania:

Oceniana jest realizacja mikroprojektu w języku Verilog HDL.

Sylabus obowiązuje od roku akademickiego 2023/24, a jego zawartość nie podlega zmianom w trakcie trwania semestru akademickiego.

Punkty przedmiotu w cyklach:

<bez przypisanego programu>

Typ punktów	Liczba	Cykl pocz.	Cykl kon.
Europejski System Transferu Punktów (ECTS)	4	2022/2023-L	