

KARTA PRZEDMIOTU

Nazwa przedmiotu: Design for testability (MSCKAu>SM21DFT22)

Nazwa w języku polskim:

Nazwa w jęz. angielskim: Design for testability

Dane dotyczące przedmiotu:

Jednostka oferująca przedmiot: Wydział Automatyki, Elektroniki i Informatyki

Przedmiot dla jednostki: Politechnika Śląska

Domyślny typ protokołu dla przedmiotu:

ZAL

Język wykładowy:

angielski

Strona WWW:

<https://platforma2.polsl.pl/rau3/course/view.php?id=410>

Skrócony opis:

Głównym celem kursu jest przedstawienie podstawowych pojęć związanych z testowaniem układów cyfrowych i projektowaniem ułatwiającym ich testowanie. Zadaniem kursu jest również zapoznanie studentów w praktyce z podstawowymi technikami testowania układów cyfrowych, a także z podstawowymi metodami projektowania, które ułatwiają ich testowanie.

Uczestnik kursu powinien posiadać podstawową wiedzę z zakresu teorii układów logicznych, projektowania systemów cyfrowych oraz języków opisu sprzętu.

Opis:

Treści programowe:

Wykład:

- * Podstawowe pojęcia dotyczące testowania układów cyfrowych
- * Podstawowe typy uszkodzeń i ich modelowanie
- * Filozofia testowania, rola testowania, przebieg procesu testowania układów cyfrowych
- * Ekonomiczne aspekty testowania i wpływ testowania na jakość produktu
- * Generowanie sekwencji testowych dla cyfrowych układów kombinacyjnych i sekwencyjnych
- * Testowanie sieci połączeń

Rozwiązania w zakresie projektowania ułatwiającego testowanie:

- * Ścieżka sterująco-obsługowa
- * Brzegowa ścieżka sterująco-obsługowa (magistrala JTAG) i niektóre powiązane standardy dotyczące projektowania ułatwiającego testowanie
- * Struktury wbudowanego samotestowania układów cyfrowych
- * Testowanie na poziomie systemu
- * Podstawowe pojęcia dotyczące niezawodności i projektowania układów tolerujących uszkodzenia

Laboratorium:

- * Generowanie sekwencji testowych dla układów cyfrowych
- * Testowanie układów cyfrowych z wykorzystaniem brzegowej ścieżki sterująco-obsługowej
- * Implementacja struktur wbudowanego samotestowania układów cyfrowych
- * Wprowadzenie do projektowania układów cyfrowych odpornych na uszkodzenia

Całkowity nakład pracy wymagany do osiągnięcia efektów kształcenia:

Liczba punktów ECTS: 3

Łączna liczba godzin: 75 (kontaktowa 40h / praca własna 35h)

Godziny kontaktowe:

- * Wykłady: 15 godz.
- * Zajęcia laboratoryjne: 15 godz.
- * Inne (omówienie sprawozdań): 10 godz.

Liczba godzin pracy studenta:

- * Zapoznanie się z literaturą: 15 godz.
- * Przygotowanie do zajęć laboratoryjnych, przygotowanie sprawozdań: 20 godz.

Liczba punktów ECTS przypisanych do godzin kontaktowych: 1,6

Liczba punktów ECTS przypisanych do godzin praktycznych (zajęcia laboratoryjne, projekty): 0,6

Literatura:

Literatura podstawowa:

Samiha Mourad, Yervant Zorian: "Principles of Testing Electronic Systems", John Wiley & Sons Inc., 2000

Bushnell M., Agrawal V. D.: "Essentials of Electronic Testing for Digital, Memory and Mixed-Signal VLSI Circuits", Kluwer Academic Publishers, 2002

Charles E. Stroud: "A Designer's Guide to Built-in Self-Test", Kluwer Academic Publishers, 2002

Literatura uzupełniająca:

IEEE Std. 1149.1-2013, "IEEE Standard Test Access Port and Boundary-Scan Architecture", IEEE, 2013

Parker K. P.: "The Boundary-Scan Handbook, 3rd Edition", Kluwer Academic Publishers, 2003

Laung-Terng Wang, et al.: "VLSI Test Principles and Architectures: Design for Testability (The Morgan Kaufmann Series In Systems On Silicon)", Morgan Kaufmann, 2006

Hławiczka A. (red. - praca zbiorowa), „Testowanie i projektowanie łatwo testowalnych układów i pakietów cyfrowych, część 1 i 2”. Skrypty Politechniki Śląskiej odpowiednio o nr 1586 i 1788 (in Polish).

Hławiczka A. (red. - praca zbiorowa), „Łatwo testowalne układy i pakiety cyfrowe - projektowanie i testowanie, Wyd. WNT, Warszawa, 1993 (in Polish)

Efekty uczenia się:

*** Wiedza**

1. Zna i rozumie podstawowe techniki testowania układów kombinacyjnych i sekwencyjnych (sprawozdanie z laboratorium, kolokwium) K2A_W01; K2A_W02
2. Zna i rozumie zasadę działania ścieżki sterująco-obsługowej oraz brzegowej ścieżki sterująco-obsługowej (sprawozdanie z laboratorium, kolokwium) K2A_W05
3. Zna i rozumie podstawowe koncepcje związane z wbudowanym samotestowaniem oraz tolerancją uszkodzeń w systemach cyfrowych (sprawozdanie z laboratorium, kolokwium) K2A_W05

*** Umiejętności**

4. Umie znaleźć zbiór wektorów testowych lub sekwencję testową i wykorzystać je do przetestowania prostego układu cyfrowego (sprawozdanie z laboratorium, kolokwium) K2A_W08
5. Potrafi wykorzystać brzegową ścieżkę sterująco-obsługową do przetestowania prostego układu cyfrowego (sprawozdanie z laboratorium) K2A_W05, K2A_W08
6. Umie zaprojektować i zrealizować prostą strukturę wbudowanego samotestowania układu cyfrowego (sprawozdanie z laboratorium) K2A_W05, K2A_W08
7. Potrafi zaprojektować i zrealizować podstawową architekturę prostego układu cyfrowego tolerującego uszkodzenia (sprawozdanie z laboratorium) K2A_W05, K2A_W08

Metody i kryteria oceniania:

1. Warunki uzyskania zaliczenia z przedmiotu 'Design for testability':
 - a. uzyskanie pozytywnych ocen za wszystkie zajęcia laboratoryjne,
 - b. uzyskanie pozytywnej oceny z kolokwium zaliczeniowego.
2. Koordynator przedmiotu, mając na uwadze wyniki uzyskane przez studentów na zajęciach laboratoryjnych, może zwolnić wybranych lub wszystkich studentów z obowiązku pisania kolokwium zaliczeniowego.
3. W przypadku studentów, którzy zostali zwolnieni z obowiązku pisania kolokwium zaliczeniowego ocena końcowa z laboratorium jest jednocześnie oceną końcową z całego przedmiotu.
4. Ocena końcowa z laboratorium jest wyznaczana na podstawie średniej ważonej ocen za poszczególne ćwiczenia laboratoryjne.

Odrabianie zaległych zajęć laboratoryjnych jest możliwe w terminach odrabiania przewidzianych w harmonogramie.

Sylabus obowiązuje od roku akademickiego 2022/23 a jego zawartość nie może być zmieniana w trakcie semestru.

Punkty przedmiotu w cyklach:

<bez przypisanego programu>			
Typ punktów	Liczba	Cykl pocz.	Cykl kon.
Europejski System Transferu Punktów (ECTS)	3	2022/2023-L	