KARTA PRZEDMIOTU

Nazwa przedmiotu: ***Weryfikacja formalna w procesie projektowania (MSCKAu-PSC>SM23WP22)***
Nazwa w języku polskim:
Nazwa w jęz. angielskim: ***Introduction to Functional Verification***

Dane dotyczące przedmiotu:

Jednostka oferująca przedmiot: Wydział Automatyki, Elektroniki i Informatyki
Przedmiot dla jednostki: Politechnika Śląska

Domyślny typ protokołu dla przedmiotu:

ZAL

Język wykładowy:

polski

Strona WWW:

https://platforma.polsl.pl/rau3/course/view.php?id=80232

Skrócony opis:

Celem przedmiotu jest przedstawienie mechanizmów formalnej weryfikacji układów cyfrowych. Obejmuje ona tworzenie opisu własności za pomocą logiki czasowej. W czasie analizy układu należy również nałożyć ograniczenia na przeszukiwaną przestrzeń rozwiązań w celu dowiedzenia własności układowych. Obok zagadnień teoretycznych w czasie zajęć laboratoryjnych prezentowane jest praktyczne podejście do procesu weryfikacji z użyciem narzędzi programistycznych.

Opis:

1. Wprowadzenie do weryfikacji formalnej
   - weryfikacja własnosci układu
   - formalne środowisko testowe
   - specyfikacji a implementacja
   - zakres uzycia weryfikacji formalnej

2. Podstawy asercji w System Verilog (SVA)
   - rodzaje asercji współbieżnych
   - forma kanoniczna asercji współbieżnej
   - własności wyznaczane w pojedynczym cyklu
   - implikacja oraz jej wynik
   - asercje wbudowane w opis
   - operacja wiązania modułu w procesie weryfikacji i implementacji
   - tworzenie opisu pomocniczego na potrzeby weryfikacji

3. Logika czasowa (temporal logic) w System Verilog
   - operatory
   - sekwencje czasowe
   - sekwencje liniowe i formalizm opisu
   - łączenie logiczne sekwencji
   - struktura asercji
   - operatory logiki czasowej
   - operatory sekwencji, zakres, repetycja
   - ograniczony i nieograniczony zakres sekwencji
   - część wspólna

4. Udogodnienia w składni logiki czasowej SVA
   - funkcje i zadania: $rose, $past, $stable, $changed
   - nazywanie sekwencji i własności
   - zakresy i ograniczenia within, throughout
   - różne rodzaje powtórzenia sekwencji
   - zmienne lokalne w asercjach
   - operator iff w opisie własności
   - oczekiwanie z warunkiem mocnym i słabym

5. Założenia, oczekiwania
   - stan oczekiwania, implikacji - nieokreslony/pusty
   - niedookreśloność warunków
   - modelowanie, symulacja założeń
   - nadmierne ograniczenia opisu
   - weryfikacja z wykorzystaniem pokrycia (cover)
   - działanie mechanizmów weryfikacji formalnej
   - przykłady niespełnienia wymagań (counter example - CEX)
   - metody weryfikacjiu projektu i specyfikacji

6. Praktyczne przykłady
   - Sortowanie stogowe
   - budowa asercji, założeń i pokrycia
   - uzyskanie podstawowych przebiegów na podstawie mechanizmów formalnych
   - silne i słabe strony metodologii
   - ograniczenia weryfikacji formalnej
   - niedowiedzione dowody - metody dowodzenia

7. Narzędzia weryfikacji formalnej
    - podstawowe własności
    - cechy wspólne
    - automatyczne sprawdzanie własności
    - przykłady potwierdzające i podważające własności
    - własności które nie mogą zostać dowiedzine lub obalone

8. Analiza pokrycia
    - analiza pokrycia w weryfikacji formalnej
    - gęstość asercji
    - osiągalność a poprawność
    - lej/stożek oddziaływania

9. Mutacja pokrycia
    - wstrzykiwanie błędów do opisu RTL
    - możliwe mutacje opisu

10. Punkty odcięcia i abstrakcje
    -
    - eksplozja przestrzeni stanów
    - ograniczania przestrzeni, punkty odcięcia
    - usuwanie funkcjonalności - balck boxing
    - abstrakcja formalna

11. Analiza statyczna opisu
12. Zgodność funkcjonalna modeli w różnych językach

ECTS: 2
Całkowita liczba godzin: 60h
Zajęcia kontaktowe: 60h
Praca własna studenta: 15h
Zajęcia kontaktowe:
- wykład: 30h
- laboratorium: 30h

Praca własna studenta:
- przygotowanie do laboratoriów i kolokwium
- opracowanie sprawozdań
- rozwiazywanie zadań
- analiza przykładów

Literatura:

Seligman E., Schubert T.: Formal Verification: An Essential Toolkit for Modern VLSI Design 2nd Edition. Morgan Kaufmann, 2023
Cohen B.: SystemVerilog Assertions Handbook Revised 4 th edition 2023: for Dynamic and Formal Verification. Independent Publisher 2023
Russinoff D. M.: Formal Verification of Floating-Point Hardware Design: A Mathematical Approach, Springer, 2022

Efekty uczenia się:

- Posiada wiedzę o mechanizmach formalnej weryfikacji układów, porównaniu własności funkcjonalnych, równoważności strukturalnej, równoważności sekwencyjnej, logice czasowej (K2A_W01)
- Posiada umiejętność formułowania cech funkcjonalnych układów na potrzeby weryfikacji formalnej (K2A_U02)
- Potrafi zaplanować proces weryfikacji, dokonać dekompozycji cech systemu cyfrowego i przedstawić je z wykorzystaniem zapisów formalnych (K2A_U03)
- Potrafi wybrać i użyć odpowiednie narzędzia do procesu weryfikacji formalnej dla różnych poziomów abstrakcji oraz sposobów opisu układu w procesie weryfikacji funkcjonalnej i strukturalnej (K2A_U10)

Metody i kryteria oceniania:

Student musi zaliczyć test z teorii (T) uzyskując minimum 50% poprawnych odpowiedzi.
Przypisane zadanie laboratoryjne muszą zostać ukończone i oddane do oceny funkcjonalnej. Do zaakceptowanego rozwiązania należy dostarczyć sprawozdanie. Na podstawie obu tych elementów wystawiana jest ocena końcowa z laboratorium (L).
Ocena końcowa wyliczana jest następująco:
O = (T + L)/2
Wartośc O jest przeliczana na ocenę końcową zgodnie z:

3.00 - 3.29	3.0
3.30 - 3.79	3.5
3.80 – 4.29	4.0
4.30 - 4.64	4.5
4.65 - 5.00	5.0

Warunki zaliczenia nie ulegają zmianie w czasie trwania semestru.

Przynależność do grup przedmiotów w cyklach:

Opis grupy przedmiotów	Cykl pocz.	Cykl kon.
"Przedmioty 3 semestr Mikroinformatyka systemów cyfrowych K-ce" (MSCKAu-SM2(03))	2023/2024-L	

Punkty przedmiotu w cyklach:

<bez przypisanego programu>

Typ punktów	Liczba	Cykl pocz.	Cykl kon.
Europejski System Transferu Punktów (ECTS)	2	2023/2024-L	