

KARTA PRZEDMIOTU

Nazwa przedmiotu: Wprowadzenie do weryfikacji funkcjonalnej (MSCKAu-PSC>SM22WWF22)

Nazwa w języku polskim:

Nazwa w jęz. angielskim: Introduction to functional verification

Dane dotyczące przedmiotu:

Jednostka oferująca przedmiot: Wydział Automatyki, Elektroniki i Informatyki

Przedmiot dla jednostki: Politechnika Śląska

Domyślny typ protokołu dla przedmiotu:

EGZ

Język wykładowy:

polski

Strona WWW:

<https://platforma.polsl.pl/rau3/course/view.php?id=80221>

Skrócony opis:

Celem przedmiotu jest omówienie i nauka języka SystemVerilog z rozszerzeniami (SVA) oraz nauczanie metodyki prowadzenia weryfikacji funkcjonalnej dedykowanych systemów cyfrowych.

Zajęcia są kontaktowe.

Wymagania wstępne: podstawy techniki cyfrowej, projektowanie układów cyfrowych, język Verilog HDL, znajomość technik programowania obiektowego.

Opis:

Liczba ECTS: 5

Suma wszystkich godzin: 130h (kontaktowo 70h / praca własna 60h)

W. 30

L. 30

Inne (np. omówienie sprawozdań): 10h

Praca własna studenta: przygotowanie do zajęć, przygotowanie modułów testowych, przygotowanie sprawozdań.

Zagadnienia wykładu:

- wprowadzenie do weryfikacji funkcjonalnej
- podstawy weryfikacji
- testbench w języku Verilog i VHDL (powtórzenie materiału)
- omówienie konstrukcji języka SystemVerilog (SV) z uwzględnieniem konstrukcji syntezywalnych
- randomizacja i jej problemy, ograniczenia randomizacji w języku SV
- problemy weryfikacji
- interfejs DPI i powiązanie z językiem C
- wprowadzenie do asercji i ich omówienie konstrukcji w języku SV (SVA); asercje syntezywalne
- wybrane elementy syntezy oraz ukierunkowanie budowy układów na redukcję mocy

Laboratorium

- wprowadzenie do narzędzi oraz realizacja podstawowych ćwiczeń (tutoriali)
- implementacja modułu do testowania (na przykładzie FIFO oraz automatu FSM)
- implementacja testbenchu:
 - liniowego
 - opartego o autmat sekwencyjny
 - wykorzystującego taski/funkcje
- rozbudowa FIFO o interfejs 'valid/ready' i rozbudowa testbenchu o:
 - techniki obiektowe
 - ograniczoną randomizację
 - asercje
 - pokrycie
- implementacji mikroprojektu - testbench jest budowany dla projektu z równoległego przedmiotu z obszaru projektowania*

* - studenci budują testbench warstwowy dla projektu kolegi/koleżanki

Literatura:

Sutherland S., Davidmann S., Flake P., SystemVerilog For Design
Bergeron J., Writing Testbenches using SystemVerilog
Bergeron J., Verification Methodology Manual
Spear Ch., SystemVerilog For Verification
Boulé M., Zilic Z.: Generating Hardware Assertion Checkers
Bergeron J.: Writing Testbenches Functional Verification of HDL Models
Foster H., Krohnik A.: Creating Assertion-Based IP
Accellera: Property Specification Language - Reference Manual

<https://www.systemverilog.org>

<https://www.asic-world.com/systemverilog/index.html>

<https://www.chipverify.com>

<https://vlsiverify.com/systemverilog>

<https://www.chipverify.com/systemverilog/>

<https://www.doulos.com/knowhow/systemverilog/systemverilog-tutorials/>

USOS: Szczegóły przedmiotu: MSCKAu-PSC>SM22WWF22, w cyklu: <brak>, jednostka dawcy: <brak>, grupa przedm.: <brak>

<https://verificationguide.com/systemverilog/>
<http://www.testbench.in/>
http://www.qstitt.ece.ufl.edu/courses/fall15/eel4720_5721/labs/refs/AXI4_specification.pdf

Efekty uczenia się:

student potrafi stosować narzędzia symulacji/weryfikacji funkcjonalnej; potrafi planować i realizować eksperymenty obejmujące weryfikację otrzymanego projektu (na podstawie specyfikacji i wymagań) - K2A_U03
potrafi wykorzystać opracować testbench oraz wykorzystać symulację do weryfikacji zadanej specyfikacji - K2A_U04
student potrafi zrealizować w języku opisu sprzętu testbench warstwowy (z wykorzystaniem technik obiektowych) -K2A_U05
student potrafi pracować w zespole tworzącym system cyfrowy - K2A_U06

Metoda weryfikacji: egzamin

Metody i kryteria oceniania:

Warunkiem zaliczenia laboratorium i dopuszczenia do egzaminu jest zrealizowanie testbenchu warstwowego opisu w języku opisu sprzętu SystemVerilog.

Warunkiem zaliczenia przedmiotu jest zdanie egzaminu. W trakcie egzaminu studenci bronią opracowanego testbenchu.

Sylabus obowiązuje od roku akademickiego 2023/24, a jego zawartość nie podlega zmianom w trakcie trwania semestru akademickiego.

Punkty przedmiotu w cyklach:

<bez przypisanego programu>			
Typ punktów	Liczba	Cykl pocz.	Cykl kon.
Europejski System Transferu Punktów (ECTS)	5	2023/2024-Z	