

KARTA PRZEDMIOTU

Nazwa przedmiotu: Architektura komputerów (InfAu>SI5-AK-19)

Nazwa w języku polskim:

Nazwa w jęz. angielskim: Computer architecture

Dane dotyczące przedmiotu:

Jednostka oferująca przedmiot: Wydział Automatyki, Elektroniki i Informatyki

Przedmiot dla jednostki: Politechnika Śląska

Domyślny typ protokołu dla przedmiotu:

ZAL

Język wykładowy:

polski

Strona WWW:

<https://platforma2.polsl.pl/rau2/course/view.php?id=500>

Skrócony opis:

Celem wykładu (semestr 5) jest zapoznanie studentów z aktualnym rozwiązaniami w zakresie architektury i organizacji procesorów, a następnie systemów komputerowych. Szczególną uwagę skupiono na mechanizmach równoległości w organizacji komputerów, wyróżniając równoległość poziomą rozkazów, poziomą danych i poziomą zadań. Zakres wykładu obejmuje procesory CISC i RISC, procesory superskalarne, procesory graficzne, systemy wieloprocesorowe z pamięcią wspólną (serwery) i klastry komputerowe. Wymagania wstępne: elementarna wiedza, nabyta w ramach przedmiotu Podstawy informatyki, w zakresie budowy i roli podstawowych układów komputerów: układu sterowania, jednostki arytmetyczno-logicznej, pamięci, układów wejścia-wyjścia oraz listy rozkazów. Studenci powinni posiadać podstawowe umiejętności programowania komputerów. Celem laboratorium (semestr 6) jest praktyczne zapoznanie studentów z różnymi architekturami komputerów i narzędziami programowania równoległego i rozproszonego.

Opis:

ECTS: 2

Całkowity nakład pracy: 50 godzin (30 godzin kontaktowych, 20 godzin pracy własnej studentów)

Formy godzin kontaktowych:

Wykład 30 godz.

Praca własna studenta: przygotowanie do zajęć, przygotowanie do testu końcowego.

Wykład:

- 1) Historia rozwoju komputerów
- 2) Architektury procesorów CISC, RISC, RISC-V
- 3) Mechanizmy równoległości poziomu rozkazów - potokowe wykonywanie rozkazów, hazard danych i hazard sterowania
- 4) Architektura superskalarna – niekolejne wykonywanie rozkazów, nowe rodzaje hazardu, przemianowanie rejestrów, dynamiczne szeregowanie rozkazów, zatwierdzanie rozkazów, przewidywanie rozgałęzień w procesorach superskalarnych – strategie statyczne i dynamiczne, predyktory oparte na historii rozgałęzień, neuronowe predyktory rozgałęzień.
- 5) Sprzętowe sterowanie wielowątkowością w procesorach superskalarnych – wielowątkowość drobnociągła, grubociągła i jednoczesna.
- 6) Przykłady architektur wybranych procesorów firmy Intel oraz firmy IBM. Architektura ARM.
- 7) Architektura VLIW.
- 8) Modele równoległości w architekturze procesorów: klasyfikacja Flynna -SISD, SIMD, MIMD
- 9) Architektury procesorów wykorzystujące równoległość poziomu danych – historyczne procesory wektorowe i macierzowe, rozszerzenia SIMD procesorów superskalarnych, procesory graficzne GPU – architektura CUDA, realizacja wątków, model SIMT, zastosowanie GPU do modelowania sieci neuronowych – rdzenie tensorowe.
- 10) Systemy wieloprocesorowe z pamięcią wspólną – procesory wielordzeniowe, topologie sieci łączących rdzenie, metody kontroli spójności pamięci podręcznych rdzeni, serwery – cechy, przykłady serwerów dostępnych na rynku komputerowym.
- 11) Systemy wieloprocesorowe z pamięcią rozproszoną – klastry komputerowe, cechy klastrów, modele organizacji klastrów: klastry Beowulf, klastry szkieletowe i kasetowe - przykłady, topologie i technologie sieci łączących węzły klastrów, organizacja klastrów o wysokiej niezawodności.
- 12) Systemy maszynowo równoległe – superkomputery, klasyfikacja Top500, przykłady największych superkomputerów.

Literatura:

Literatura podstawowa

S. Kozielski „Architektura procesorów. Mechanizmy równoległości obliczeń – równoległość poziomu rozkazów” – Wydawnictwo Politechniki Śląskiej, 2024.

<https://repolis.bg.polsl.pl/dlibra/publication/90432>

A. Tanenbaum „Strukturalna organizacja systemów komputerowych”, WNT 2006.

W. Stallings „Organizacja i architektura systemu komputerowego”, WNT 2004.

Literatura uzupełniająca

John L. Hennessy, David A. Patterson „Computer Architecture: A Quantitative Approach”, Elsevier 2019.

Efekty uczenia się:

Efekty uczenia się specyficzne dla przedmiotu Architektura komputerów - po wysłuchaniu wykładów student:
zna architekturę i organizację współczesnych procesorów CISC, RISC, ARM i superskalarnych (test końcowy) - K1A_W05, K1A_W10;
zna szczegóły funkcjonowania powszechnie dziś wykorzystywanych procesorów superskalarnych oraz procesorów graficznych (test końcowy) - K1A_W05, K1A_W10, K1A_U18;
zna architekturę i organizację współczesnych systemów wieloprocesorowych z pamięcią wspólną (serwery) i pamięcią rozproszoną (klastry) (test końcowy) - K1A_W05, K1A_W10, K1A_U18;
zna trendy rozwojowe poszczególnych architektur komputerowych (test końcowy) - K1A_W13;

Metody i kryteria oceniania:

Przedmiot Architektura komputerów obejmuje dwie części: wykład i laboratorium. Zgodnie z regulaminem studiów uczestnictwo w wykładach jest nieobowiązkowe (ale bardzo zalecane), natomiast udział w ćwiczeniach laboratoryjnych jest obowiązkowy.

USOS: Szczegóły przedmiotu: InfAu>SI5-AK-19, w cyklu: <brak>, jednostka dawcy: <brak>, grupa przedm.: <brak>

Zaliczenie wykładów (semestr 5) następuje na podstawie testu wielokrotnego wyboru; student powinien uzyskać co najmniej połowę punktów możliwych do zdobycia.

Sylabus obowiązuje od letniego semestru roku akademickiego 2025/2026, a jego zawartość nie podlega zmianom w trakcie trwania semestru

Punkty przedmiotu w cyklach:

<bez przypisanego programu>			
Typ punktów	Liczba	Cykl pocz.	Cykl kon.
Europejski System Transferu Punktów (ECTS)	2	2021/2022-Z	