

--	--	--

1. Nazwa przedmiotu: ELEMENTY WSPÓŁCZESNEJ SYNTEZY LOGICZNEJ 1		2. Kod przedmiotu: EWSL 1		
3. Karta przedmiotu ważna od roku akademickiego: 2017/18				
4. Forma kształcenia: studia trzeciego stopnia				
5. Forma studiów: studia stacjonarne/studia niestacjonarne				
6. Kierunek studiów: ELEKTRONIKA				
7. Profil studiów: akademicki				
8. Specjalność:				
9. Semestr:				
10. Jednostka prowadząca przedmiot: Instytut Elektroniki, RAu3, Wydział AEiI				
11. Prowadzący przedmiot: prof. dr hab. inż. Dariusz Kania				
12. Przynależność do grupy przedmiotów: przedmioty obowiązkowe				
13. Status przedmiotu:				
14. Język prowadzenia zajęć: polski/angielski				
15. Przedmioty wprowadzające oraz wymagania wstępne: Zakłada się znajomość podstawowych pojęć z zakresu układów cyfrowych oraz ich projektowania i analizy.				
16. Cel przedmiotu: Celem wykładu jest przybliżenie słuchaczowi wybranych elementów współczesnej syntezy logicznej układów cyfrowych ze szczególnym uwzględnieniem efektywnych sposobów opisu funkcji logicznych, sposobów optymalizacji układów, strategii dekompozycji oraz podstawowych zagadnień odwzorowania technologicznego w strukturach programowalnych.				
17. Efekty kształcenia:¹				
Nr	Opis efektu kształcenia	Metoda sprawdzenia efektu kształcenia	Forma prowadzenia zajęć	Odniesienie do efektów dla kierunku studiów
W1	Zna zaawansowane formy realizacji układów i systemów cyfrowych		WT, WM	RAU_E_W01
W2	Rozumie istotę kluczowych problemów projektowania układów cyfrowych		WT, WM	RAU_E_W04
W3	Ma rozszerzoną i pogłębioną wiedzę z zakresu minimalizacji i dekompozycji funkcji logicznych a także odwzorowania technologicznego w strukturach programowalnych		WT, WM	RAU_E_W06
U1	Potrafi konstruować algorytmy oraz wykorzystywać oprogramowanie do syntezy systemów i układów cyfrowych		WT, WM	RAU_E_U01
U2	Potrafi dopasować sposób syntezy logicznej do poszczególnych rodzin układów programowalnych i zaplanować metodykę badań eksperymentalnych służących ocenie efektywności procesu syntezy.		WT, WM	RAU_E_U02 RAU_E_U09 RAU_E_U10
U3	Potrafi zastosować w praktyce metody minimalizacji i dekompozycji funkcji logicznych		WT,WM	RAU_E_U11
K1	Potrafi realizować zadania badawcze związane z techniką cyfrową w zorganizowanej grupie doktorantów		WT,WM	RAU_E_K01
K2	Ma świadomość powiązań techniki cyfrowej z pozatechnicznymi aspektami jej zastosowań		WT,WM	RAU_E_K02

¹ należy wskazać ok. 5 – 8 efektów kształcenia

18. Formy zajęć dydaktycznych i ich wymiar (liczba godzin): W: 8		
19. Treści kształcenia:		
Wykład:		
1. Wprowadzenie: formy implementacji układów cyfrowych: - architektura złożonych układów programowalnych CPLD i FPGA - programowalne systemy na chip'ie (pSoC) - zasoby sprzętowe, zasoby programowe, specyfika projektowania układów w oparciu o wirtualne komponenty, 2. Elementy syntezy układów cyfrowych: ☐ sposoby opisu projektowanych układów ze szczególnym uwzględnieniem BDD, diagramy z atrybutem negacji, SBDD, MTBDD itp. ☐ minimalizacja funkcji: - wykorzystanie specyficznych właściwości struktur programowalnych; bramki XOR, ekspandery, bufory trójstanowe, strategie optymalizacji wielopoziomowej wpływ minimalizacji na sposób odwzorowania układu w strukturze programowalnej, ☐ dekompozycja funkcji: - elementy teorii dekompozycji funkcjonalnej: dekompozycja funkcji słabo określonych, dekompozycje złożone zespołów funkcji logicznych, strategie poszukiwania dekompozycji zespołów funkcji, dekompozycja a cięcie diagramu BDD, nowe postacie diagramów BDD: PTBDD, SMTMBB ☐ problemy efektywnego odwzorowania funkcji logicznych w strukturach programowalnych: - dobór odpowiedniej struktury programowalnej, problemy podziału projektowanego układu na poszczególne struktury programowalne, wykorzystanie specyficznych zasobów struktur programowalnych, dekompozycja ukierunkowana na wykorzystanie bramek XOR, diagramy BDD w procesie odwzorowania technologicznego (technology mapping) 3. Metodyka badań eksperymentalnych związanych z oceną efektywności metod syntezy logicznej		
20. Egzamin: nie		
Zaliczenie na podstawie dyskusji w trakcie wykładów oraz opcjonalnie na podstawie przedłożonego przez studenta opracowania pisemnego wybranego zagadnienia.		
21. Literatura podstawowa:		
1. D. Kania, Układy logiki programowalnej, Podstawy syntezy i sposoby odwzorowania technologicznego, WNT 2012 2. D. Kania, Materiały do wykładu dostępne na platformie zdalnej edukacji 3. Giovanni De Michelli.: Synteza i optymalizacja układów cyfrowych, WNT 1998		
22. Literatura uzupełniająca:		
1. T. Łuba, Synteza układów cyfrowych, WKiŁ, 2003 2. Perry D.: VHDL: Programming by Example, McGraw-Hill, Inc., 2002. 3. Palnitkar S., Verilog HDL. A Guide to Digital Design and Synthesis, Prentice Hall, 2003 4. Lee W.F., Verilog Coding for Logic Synthesis, John Wiley & Sons Inc., 2003 5. Lee J.M., Verilog Quickstart: A Practical Guide to Simulation and Synthesis in Verilog, Kluwer Academic Publishers, 2002 6. Peter J. Ashenden, The <i>VHDL Cookbook</i> , First Edition. July, 1990		
23. Nakład pracy studenta potrzebny do osiągnięcia efektów kształcenia		
Lp.	Forma zajęć	Liczba godzin kontaktowych / pracy studenta
1	Wykład	8/5
2	Ćwiczenia	0/0
3	Laboratorium	0/0
4	Projekt	0/0
5	Seminarium	0/0
6	Inne: Konsultacje	7/5
	Suma godzin	15/10
24. Suma wszystkich godzin: 25		
25. Liczba punktów ECTS: 1		
26. Liczba punktów ECTS uzyskanych na zajęciach z bezpośrednim udziałem nauczyciela akademickiego: 1		
27. Liczba punktów ECTS uzyskanych na zajęciach o charakterze praktycznym (laboratoria, projekty): 0		

28. Uwagi: Efekty kształcenia w zakresie wiedzy weryfikowane są na bieżąco w trakcie wykładów, natomiast umiejętności podlegają weryfikacji poprzez formułowanie i rozwiązywanie zadań praktycznych. Efekty kształcenia w zakresie kompetencji społecznych sprawdzane są w trakcie pracy zespołowej nad przykładowymi problemami badawczymi oraz przy opracowywaniu i prezentacji raportów końcowych.

Zatwierdzono:

.....
(data i podpis kierownika studiów doktoranckich)