

(pieczęć wydziału)

**KARTA PRZEDMIOTU**

<b>1. Nazwa przedmiotu:</b> Nowoczesne metody weryfikacji cyber-fizycznych systemów wbudowanych		<b>2. Kod przedmiotu:</b> VER		
<b>3. Karta przedmiotu ważna od roku akademickiego:</b> 2018/2019				
<b>4. Forma kształcenia:</b> studia doktoranckie				
<b>5. Forma studiów:</b> studia stacjonarne				
<b>6. Studia:</b> CyPhiS - Interdyscyplinarne studia doktoranckie w dziedzinie systemów cyber-fizycznych				
<b>7. Profil studiów:</b> akademicki				
<b>8. Specjalność:</b>				
<b>9. Rok:</b> 3				
<b>10. Jednostka prowadząca przedmiot:</b> Instytut Elektroniki, RAu3				
<b>11. Prowadzący przedmiot:</b> dr hab. inż. Andrzej Pułka				
<b>12. Przynależność do grupy przedmiotów:</b>				
<b>13. Status przedmiotu:</b> obowiązkowy				
<b>14. Język prowadzenia zajęć:</b> polski				
<b>15. Przedmioty wprowadzające oraz wymagania wstępne:</b> Zakłada się, że przed rozpoczęciem nauki niniejszego przedmiotu student posiada przygotowanie w zakresie funkcjonowania i projektowania nowoczesnych systemów cyfrowych opartych o układy mikroprocesorowe, tworzenia protokołów komunikacyjnych, synchronizacji bloków funkcjonalnych oraz podstaw programowania. Ponadto studenci powinni znać podstawy języków opisu sprzętu (VHDL, Verilog), a także podstawy programowania obiektowego w języku C++.				
<b>16. Cel przedmiotu:</b> Celem przedmiotu jest uzupełnienie i rozwinięcie podstawowych informacji z zakresu metod weryfikacji złożonych, wbudowanych systemów cyber-fizycznych, w których występuje zarówno część dyskretna (cyfrowa), jak i ciągła (analogowa). Zostaną przedstawione podstawowe metody weryfikacji formalnej: sprawdzenie równoważności modeli, sprawdzenie poprawności modelu, weryfikacja oparta na automatycznym dowodzeniu twierdzeń., metody hybrydowe, stochastyczne oraz oparte na programowaniu z ograniczeniami. Słuchacze zostaną zapoznani z podstawami podstawowymi operatorami logik czasowych (LTL, CTL, MTL, STL), które stanowią fundament nowoczesnych narzędzi weryfikacji dynamicznej. W trakcie wykładów zostaną przedstawione podstawowe zalecenia dotyczące dobrych praktyk tworzenia modeli weryfikacyjnych (VIP), struktura języka PSL oraz asercji. Dodatkowo zostaną zaprezentowane różne techniki sprawdzania spełnialności funkcji logicznych (SAT Solving).  Wiedza zdobyta na wykładzie umożliwi słuchaczom efektywne korzystanie z nowoczesnych metod i narzędzi weryfikacji złożonych systemów cyber-fizycznych na najwyższym poziomie abstrakcji.				
<b>17. Efekty kształcenia:<sup>1</sup></b>				
Nr	Opis efektu kształcenia	Metoda sprawdzenia efektu kształcenia	Forma prowadzenia zajęć	Odniesienie do efektów dla kierunku studiów
W1	ma poszerzoną i pogłębioną wiedzę w zakresie algorytmów przetwarzania sygnałów, która pozwala zrozumieć działanie nowoczesnych	Dyskusja na wykładzie	WT, WM	RAU_CyPhiS_W02 RAU_CyPhiS_W04

<sup>1</sup> należy wskazać ok. 5 – 8 efektów kształcenia

	systemów wbudowanych.			
W2	ma poszerzoną i pogłębioną wiedzę w zakresie algorytmów przetwarzania sygnałów, która pozwala zrozumieć działanie nowoczesnych systemów oraz przeanalizować i zaprojektować wybrany system elektroniczny.	Dyskusja na wykładzie	WT, WM	RAU_CyPhIS_W02 RAU_CyPhIS_W04
W3	rozumie metodykę projektowania złożonych analogowych, cyfrowych i mieszanych układów elektronicznych; zna języki opisu sprzętu VHDL, Verilog oraz opisu systemu SystemC oraz SystemVerilog.	Dyskusja na wykładzie	WT, WM	RAU_CyPhIS_W04
K1	potrafi myśleć i działać w sposób kreatywny i przedsiębiorczy	Dyskusja na wykładzie	WT, WM	RAU_CyPhIS_K05

### 18. Formy zajęć dydaktycznych i ich wymiar (liczba godzin)

W.: 10

### 19. Treści kształcenia:

#### Wykład:

Ogólne zasady weryfikacji systemów cyber-fizycznych. Definicja pojęcia wstępne, metody weryfikacji: formalnej: sprawdzenie równoważności modeli, sprawdzenie poprawności modelu, weryfikacja oparta na automatycznym dowodzeniu twierdzeń, metody hybrydowe, stochastyczne oraz oparte na programowaniu z ograniczeniami.

Logiki czasowe (LTL, CTL). Mechanizm Liniowej logiki czasowej (LTL): podział, podstawowe operatory, opis złożonych własności, zastosowanie LTL do badania równoważności modeli, definicja Automatu Büchi i jego wykorzystanie w weryfikacji. Techniki oparte na Wyliczeniowym drzewie logicznym (CTL): definicje, operatory, tworzenie własności,.

Język PSL: opis poszczególnych warstw języka, przykłady zastosowań. Budowa i struktura asercji; Architektura środowiska weryfikacji (testowania), weryfikacja sterowana pokryciem funkcjonalnym, weryfikacja losowa i sterowana funkcją pokrycia, weryfikacja systemowa i na poziomie transakcyjnym, modele weryfikacyjne wielokrotnego wykorzystania (reusable). Standardy weryfikacyjne SVS oraz SVA. Krótkie omówienie i porównanie obu narzędzi, wprowadzenie do metod tworzenia modeli weryfikacyjnych VIP w językach SystemC oraz SystemVerilog. Wybrane metodologie weryfikacji systemowej: VMM, OVM, UVM; Opis zaleceń oraz dobrych praktyk podczas tworzenia modeli weryfikacyjnych (asercji); Przykład integracji procesora i weryfikacji oprogramowania.

Weryfikacja systemów ciągłych. Metryczna logika czasowa (MTL): budowa, syntaktyka, semantyka oraz składnia MTL, wykorzystanie MTL w weryfikacji. Sygnałowa logika czasowa (STL): charakterystyka narzędzia, sposób opisu własności, rekurencyjna semantyka boolowska, semantyka ilościowa, przykłady wykorzystania STL w weryfikacji.

Problem badania spełnialności formuł boolowskich. Postać kanoniczna CNF; Klauzule; Procedura DPLL. Różne klasy algorytmów SAT; Wykorzystanie SAT-Solving w weryfikacji.

### 20. Egzamin: nie

### 21. Literatura podstawowa:

1. E. A. Lee and S. A. Seshia, Introduction to Embedded Systems – A Cyber-Physical Systems Approach, Second Edition, MIT Press, 2017.
2. J. Bergeron, E. Cerny, A. Hunter, A. Nightingale, Verification Methodology Manual for SystemVerilog, Springer July 2013.
3. Universal Verification Methodology, Accellera Ver. 1.2., 2015.
4. Standard SystemC® AMS extensions 2.0 Language Reference Manual, Accellera 2013.
5. Spears C.: SystemVerilog for Verification: A Guide to Learning the Testbench Language Features. Springer, 2<sup>nd</sup> edition, New York June 2007.
6. SystemC: 1366 – 2011 IEEE Standard Specification SystemC Language Reference Manual. IEEE, New York, USA 3 January 2012.
7. SystemVerilog, standard języka: 1800-2009 IEEE Standard for System Verilog-Unified Hardware Design, Specification, and Verification Language.
8. Amir Pnueli, The temporal logic of programs. *Proceedings of the 18th Annual Symposium on Foundations of Computer Science (FOCS)*, 1977, 46–57.

9. Emerson, E. A. "Temporal and modal logic". In Jan van Leeuwen. Handbook of Theoretical Computer Science, vol. B. MIT Press. 1990, pp. 955–1072.

## 22. Literatura uzupełniająca:

1. Corben T.H., Leoserson C.E., Rivest R.L, Stein C.: Wprowadzenie do algorytmów. Wydawnictwo Naukowo-Techniczne, Wydanie 8, Warszawa 2007.
2. Lamie E.L.: Real-Time Embedded Multithreading. CMP Books, San Francisco 2005, USA.
3. Stallings W.: Organizacja i architektura systemu komputerowego, Wydawnictwo Naukowo-Techniczne, Wydanie 3, Warszawa 2004.
4. Yuan, J., Pixley, C., and Aziz, A.: Constraint-Based Verification. Springer-Verlag 2006, New York, Inc.
5. Drechsler R. (ed.), Advanced Formal Verification, Kluwer Academic Publisher, 2004.
6. Davis, M., Logemann, G. and D., Loveland, A machine program for theorem proving, Communications of the ACM 5, 1962, pp. 394–397.
7. Tille D., Eggersgluss S., Drechsler R., Incremental solving techniques for SAT-based ATPG, *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol.29, no.7, July 2010, pp. 1125–1130.

## 23. Nakład pracy studenta potrzebny do osiągnięcia efektów kształcenia

Lp.	Forma zajęć	Liczba godzin kontaktowych / pracy studenta
1	Wykład	10/15
2	Ćwiczenia	0/0
3	Laboratorium	0/0
4	Projekt	0/0
5	Seminarium	0/0
6	Inne	5/5
	Suma godzin	15/20

24. Suma wszystkich godzin: 35

25. Liczba punktów ECTS: 2

26. Liczba punktów ECTS uzyskanych na zajęciach z bezpośrednim udziałem nauczyciela akademickiego: 2

27. Liczba punktów ECTS uzyskanych na zajęciach o charakterze praktycznym (laboratoria, projekty): 0

26. Uwagi:

Zatwierdzono:

.....  
(data i podpis prowadzącego)

.....  
(data i podpis dyrektora instytutu/kierownika katedry/  
Dyrektora Kolegium Języków Obcych/kierownika lub  
dyrektora jednostki międzywydziałowej)