

--	--	--

1. Nazwa przedmiotu: BINARNE DIAGRAMY DECYZYJNE		2. Kod przedmiotu: BDD		
3. Karta przedmiotu ważna od roku akademickiego: 2017/2018				
4. Forma kształcenia: studia trzeciego stopnia				
5. Forma studiów: studia stacjonarne/studia niestacjonarne				
6. Kierunek studiów: ELEKTRONIKA				
7. Profil studiów: akademicki				
8. Specjalność:				
9. Semestr:				
10. Jednostka prowadząca przedmiot: Instytut Elektroniki, Wydział AEiI				
11. Prowadzący przedmiot: prof. dr hab. inż. Dariusz Kania				
12. Przynależność do grupy przedmiotów: przedmioty fakultatywne				
13. Status przedmiotu:				
14. Język prowadzenia zajęć: polski/angielski				
15. Przedmioty wprowadzające oraz wymagania wstępne: Zakłada się znajomość podstawowych pojęć z zakresu układów cyfrowych oraz ich projektowania i analizy.				
16. Cel przedmiotu: Celem wykładu jest przybliżenie słuchaczowi podstaw syntezy logicznej układów cyfrowych ze szczególnym uwzględnieniem efektywnych sposobów opisu funkcji logicznych, sposobów minimalizacji, strategii dekompozycji oraz podstawowych zagadnień odwzorowania technologicznego w strukturach programowalnych wykorzystujących Binarne Diagramy Decyzyjne				
17. Efekty kształcenia: ¹				
Nr	Opis efektu kształcenia	Metoda sprawdzenia efektu kształcenia	Forma prowadzenia zajęć	Odniesienie do efektów dla kierunku studiów
W1	Zna zaawansowane formy realizacji układów i systemów cyfrowych		WT, WM	RAU_E_W01 RAU_E_W06
W2	Rozumie istotę kluczowych problemów projektowania układów cyfrowych		WT, WM	RAU_E_W02 RAU_E_W04
W3	Ma rozszerzoną i pogłębioną wiedzę z zakresu minimalizacji i dekompozycji funkcji logicznych		WT, WM	RAU_E_W01 RAU_E_W06
W4	Rozumie niuansy procesu odwzorowania technologicznego układów cyfrowych w strukturach programowalnych		WT, WM	RAU_E_W01 RAU_E_W06
U1	Potrafi dopasować sposób syntezy logicznej do poszczególnych rodzin układów programowalnych i zaplanować metodykę badań eksperymentalnych służących ocenie efektywności procesu syntezy.		WT, WM	RAU_E_U07 RAU_E_U09 RAU_E_U10
K1	Potrafi kreatywnie stosować binarne diagramy decyzyjne w problemach inżynierskich		WT,WM	RAU_E_K05
18. Formy zajęć dydaktycznych i ich wymiar (liczba godzin): W: 10				
19. Treści kształcenia:				
Wykład:				
1. Różne formy opisu układów cyfrowych, Binarne Drzewo Decyzyjne, reguły upraszczania Drzewa Decyzyjnego prowadzącą do Binarnych Diagramów Decyzyjnych, różnorodność postaci BDD (OBDD, ROBDD, MTBDD, SBDD itp., wady i zalety poszczególnych form opisu				
2. Wybrane zagadnienia opisu funkcji logicznych i zespołów funkcji logicznych wykorzystujących różne formy BDD, opis funkcji nie w pełni określonych, problem porządkowania zmiennych, algorytmy minimalizacji liczby wierzchołków BDD, algorytmu tworzenia ROBDD				

¹ należy wskazać ok. 5 – 8 efektów kształcenia

3. Dekompozycja funkcji a cięcie diagramów BDD, liczba wierzchołków BDD, a liczba węzłów odciętych, modele dekompozycji złożonych a wielokrotne cięcie diagramów BDD, dekompozycja wielokrotna, dekompozycja nierozłączna, dekompozycja iteracyjna
4. Zagadnienia odwzorowania technologicznego funkcji logicznych opisanych za pomocą różnych form BDD w układach FPGA i CPLD, dopasowanie do bloku LUT - dobór poziomu cięcia, dopasowanie do wielkości bloku logicznego typu PAL
5. Metody analizy efektywności syntezy układów cyfrowych opisanych za pomocą BDD, benchmarki, analiza uzyskanych wyników syntezy i współpracy z systemami komercyjnymi

20. Egzamin: nie

Zaliczenie na podstawie dyskusji w trakcie wykładów oraz opcjonalnie na podstawie przedłożonego przez studenta opracowania pisemnego wybranego zagadnienia.

21. Literatura podstawowa:

1. D. Kania, Układy logiki programowalnej, Podstawy syntezy i sposoby odwzorowania technologicznego, WNT 2012
2. D. Kania, Materiały do wykładu dostępne na platformie zdalnej edukacji
3. Giovanni De Michelli.: Synteza i optymalizacja układów cyfrowych, WNT 1998

22. Literatura uzupełniająca:

1. T. Łuba, Synteza układów cyfrowych, WKiŁ, 2003
2. Perry D.: VHDL: Programming by Example, McGraw-Hill, Inc., 2002.
3. Palnitkar S., Verilog HDL. A Guide to Digital Design and Synthesis, Prentice Hall, 2003
4. Lee W.F., Verilog Coding for Logic Synthesis, John Wiley & Sons Inc., 2003
5. Lee J.M., Verilog Quickstart: A Practical Guide to Simulation and Synthesis in Verilog, Kluwer Academic Publishers, 2002
6. Peter J. Ashenden, The *VHDL Cookbook*, First Edition. July, 1990

23. Nakład pracy studenta potrzebny do osiągnięcia efektów kształcenia

Lp.	Forma zajęć	Liczba godzin kontaktowych / pracy studenta
1	Wykład	10/5
2	Ćwiczenia	0/0
3	Laboratorium	0/0
4	Projekt	0/0
5	Seminarium	0/0
6	Inne: Konsultacje	5/5
	Suma godzin	15/10

24. Suma wszystkich godzin: 25

25. Liczba punktów ECTS: 1

26. Liczba punktów ECTS uzyskanych na zajęciach z bezpośrednim udziałem nauczyciela akademickiego: 1

27. Liczba punktów ECTS uzyskanych na zajęciach o charakterze praktycznym (laboratoria, projekty): 0

28. Uwagi: Efekty kształcenia w zakresie wiedzy weryfikowane są na bieżąco w trakcie wykładów, natomiast umiejętności podlegają weryfikacji poprzez formułowanie i rozwiązywanie zadań praktycznych. Efekty kształcenia w zakresie kompetencji społecznych sprawdzane są w trakcie pracy zespołowej nad przykładowymi problemami badawczymi oraz przy opracowywaniu i prezentacji raportów końcowych.

Zatwierdzono:

.....
(data i podpis kierownika studiów doktoranckich)